

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 10321610  
PUBLICATION DATE : 04-12-98

APPLICATION DATE : 30-01-98  
APPLICATION NUMBER : 10019976

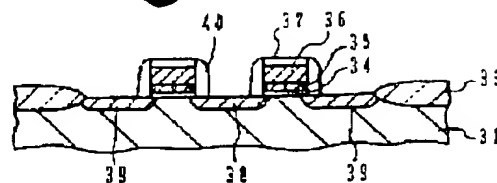
APPLICANT : FUJITSU LTD;

INVENTOR : FUJIMURA SHUZO;

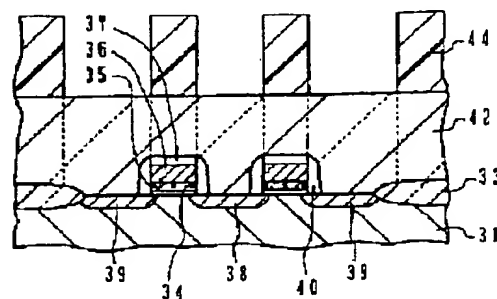
INT.CL. : H01L 21/3065 H01L 21/316 H01L 21/768

TITLE : MANUFACTURE OF SEMICONDUCTOR DEVICE

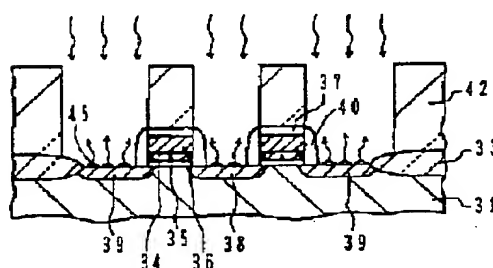
(A)



(B)



(C)



ABSTRACT : PROBLEM TO BE SOLVED: To etch silicon oxide films, by including a process for etching thin oxide films while cooling them to a predetermined temperature.

SOLUTION: Etching a BPSG film 42 by an anisotropic etching, contact holes reaching respectively n-type regions 38, 39 are created to remove thereafter a resist mask 44. After forming the contact holes passing through the BPSG film 42, naturally oxidized films 45 which may be formed on the bottom surfaces of the contact holes are removed by a plasma down flow processing wherein  $\text{NF}_3$  is added to the down flow of a gas containing hydrogen and steam. In this case putting a silicon wafer 31 on a cooled stage in a down flow processing chamber, a light etching of the wafer 31 by the down flow is performed while monitoring the average temperature of the wafer 31 by a laser thermometer. By setting the temperature of the wafer 31 to a low value, the etching amount of the BPSG film 42 is suppressed and the naturally oxidized films 45 on the bottom surfaces of the contact holes can be removed effectively.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-321610

(43) 公開日 平成10年(1998)12月4日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 21/3065  
21/316  
21/768

H 0 1 L 21/302  
21/316  
21/302  
21/90

N  
H  
E  
C

審査請求 未請求 請求項の数18 O L (全 10 頁)

(21) 出願番号 特願平10-19976

(22) 出願日 平成10年(1998)1月30日

(31) 優先権主張番号 特願平9-66799

(32) 優先日 平9(1997)3月19日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 鈴木 美紀

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72) 発明者 菊地 純

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 弁理士 高橋 敬四郎

最終頁に続く

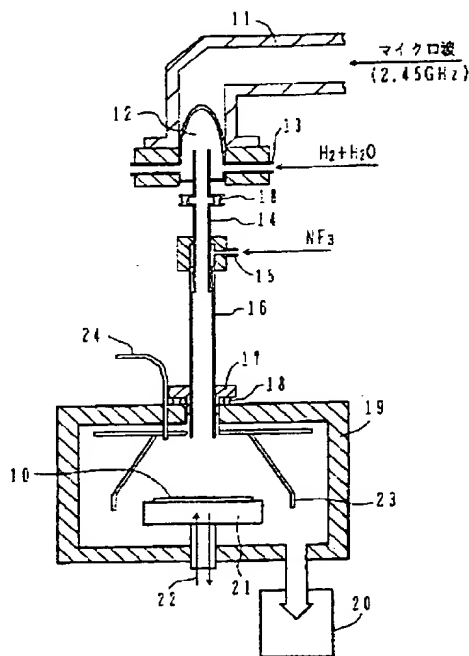
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 対象物を軽くエッチするライトエッチ工程を含む半導体装置の製造方法に関し、シリコンに損傷を与えることが少なく、堆積シリコン酸化膜に対し十分なエッチレート比を保ちつつ、固体シリコンを酸化することによって生成したシリコン酸化膜をエッチングすることの可能な半導体装置の製造方法を提供する。

【解決手段】 冷却手段を備えたステージ上にマウントされ、表面に薄い酸化膜を有する半導体ウエハを所定温度に冷却する工程と、水素と水蒸気を含有するガスにエネルギーを与え、プラズマ化する工程と、前記プラズマの下流でかつ、プラズマ中で発生した電子や水素イオンがほとんど消滅した領域で弗化窒素含有ガスを添加する工程と、前記弗化窒素含有ガスを添加したガスの流れを前記半導体ウエハ表面に導き、前記半導体ウエハを前記所定温度に冷却しつつ、前記薄い酸化膜をエッチする工程とを含む。

ライトエッチ装置



## 【特許請求の範囲】

【請求項1】 (a) 冷却手段を備えたステージ上にマウントされ、表面に薄い酸化膜を有する半導体ウエハを所定温度に冷却する工程と、

(b) 水素と水蒸気を含有するガスにエネルギーを与え、プラズマ化する工程と、

(c) 前記プラズマ化されたガスの流れの下流で弗化窒素含有ガスを添加する工程と、

(d) 前記弗化窒素含有ガスを添加したガスの流れを前記半導体ウエハ表面に導き、前記半導体ウエハを前記所定温度に冷却しつつ、前記薄い酸化膜をエッチする工程とを含む半導体装置の製造方法。

【請求項2】 前記所定温度が約25℃以下である請求項1記載の半導体装置の製造方法。

【請求項3】 前記所定温度が約22℃以下である請求項1記載の半導体装置の製造方法。

【請求項4】 さらに、(e) 前記半導体ウエハにレーザ光を照射し、表面と裏面とで反射されるレーザ光の干渉を測定することにより前記半導体ウエハの平均温度をモニタする工程を含む請求項1～3のいずれかに記載の半導体装置の製造方法。

【請求項5】 さらに、(f) 前記モニタした半導体ウエハの平均温度を前記ステージの冷却手段にフィードバックし、前記半導体ウエハの平均温度を自動的に前記所定温度に保つ工程を含む請求項4記載の半導体装置の製造方法。

【請求項6】 前記半導体ウエハが開口を有する堆積酸化シリコン膜を表面に有する請求項1～5のいずれかに記載の半導体装置の製造方法。

【請求項7】 前記堆積酸化シリコン膜がBPSG膜を含む請求項6記載の半導体装置の製造方法。

【請求項8】 前記半導体ウエハが、下地表面上に形成され、コンタクト孔を形成したBPSG膜を有し、前記薄い酸化膜は前記コンタクト孔内に露出している請求項1記載の半導体装置の製造方法。

【請求項9】 さらに、前記工程(a)の前に、

(g) 前記BPSG膜を堆積する工程と、

(h) 前記BPSG膜をメルトする工程と、

を含む請求項8記載の半導体装置の製造方法。

【請求項10】 さらに、前記工程(a)の前に、

(i) 前記メルトしたBPSG膜の表面層をエッチングする工程を含む請求項9記載の半導体装置の製造方法。

【請求項11】 前記工程(i)がフッ酸系のウェットエッチングである請求項10記載の半導体装置の製造方法。

【請求項12】 前記工程(i)が前記BPSG膜を厚さ100Å以上エッチングする請求項10記載の半導体装置の製造方法。

【請求項13】 (a) 水素含有ガスを導入して該水素

含有ガスを活性化するプラズマ発生部と、該プラズマ発生部よりも下流に設けられてフッ化窒素ガスまたはフッ化窒素含有ガスを導入するガス導入部とを有する半導体製造装置の該ガス導入部の下流において、接続孔を形成したBPSG膜をエッチングする工程を含む半導体装置の製造方法。

【請求項14】 さらに、前記工程(a)の前に、

(b) 前記BPSG膜にメルト工程とアニール工程を施す工程と、

(c) その後、異方性エッチングによって、前記接続孔をエッチングする工程とを含む請求項13記載の半導体装置の製造方法。

【請求項15】 前記BPSG膜エッチングの前に

(d) 前記BPSG膜を酸化膜系のエッチング処理によりエッチングする工程を含む請求項13記載の半導体装置の製造方法。

【請求項16】 工程(d)の前に、

(e) 前記BPSG膜にメルト処理を施す工程を含む請求項15記載の半導体装置の製造方法。

【請求項17】 工程(d)記載の酸化膜系のエッチング処理がフッ酸系のウェットエッチングである請求項15記載の半導体装置の製造方法。

【請求項18】 工程(d)が、100Å以上のBPSG膜をエッチングする請求項15記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特に対象物を軽くエッチするライトエッチ工程を含む半導体装置の製造方法に関する。

## 【0002】

【従来の技術】半導体集積回路装置の集積度の向上のため、トランジスタ等の回路構成要素の寸法は縮小が続いている。回路構成要素の寸法が縮小すると、コンタクトの面積も減少する。シリコン表面が大気に露出されたり、酸等の薬品で処理されると、その表面には容易に自然酸化膜（化学酸化膜を含む）が発生する。コンタクト領域の表面に自然酸化膜が存在する状態で、電極形成等を行なうと、接触抵抗が増大してしまい、半導体装置の性能の低下や故障につながる。

【0003】そこで、シリコン表面に形成された自然酸化膜を除去し、さらにその表面状態を安定に保つためにシリコン表面の水素終端を行なう方法が提案されている。

【0004】たとえば、水素プラズマを用いたドライ処理(A. Kishimoto et al., Jpn. J. Appl. Phys., 29, 2273, 1990)、水素原子または水素ラジカルを用いたドライ処理(T. Takahagi et al., J. Appl. Phys., 68, 2187, 1990)等が知られている。

【0005】これらの方法によれば、自然酸化膜を除去

し、さらにシリコン表面を水素によって終端化することが可能であるが、シリコンの表面に損傷を与えることが知られている。シリコン基板等に損傷を与えないで自然酸化膜を除去し、表面を水素で終端化する技術が望まれていた。

【0006】水素と水蒸気を含むガスをプラズマ状態にし、そのダウンフローに $\text{NF}_3$ を添加し、ダウンフロー処理によって自然酸化膜を除去する方法が提案されている(JKikuchi et al., J. Appl. Phys., 33, 1994, 特開平6-338478号の実施例の欄等)。この技術によれば、シリコン表面に損傷を与えることなく、水素ラジカルにより自然酸化膜を除去し、表面を水素で終端化することが可能である。

【0007】

【発明が解決しようとする課題】本発明者らの実験によれば、水素と水蒸気を含むプラズマのダウンフローを利用したライトエッチを常温以上で行なうと、CVD酸化膜やPSG（ホスホシリケートガラス）膜、BPSG（ボロホスホシリケートガラス）膜等の堆積シリコン酸化膜に対するエッチレートの、熱酸化によるシリコン酸化膜や、自然酸化膜のような固体シリコンを酸化することによって形成されたシリコン酸化膜に対するエッチレートよりも高くなることがわかった。

【0008】たとえば厚いBPSG膜を貫通して狭いコンタクトホールを形成し、その底に露出するシリコン表面の自然酸化膜を除去しようすると、コンタクトホールの側壁を過度にエッチングしてしまう可能性がある。

【0009】本発明の目的は、シリコンに損傷を与えることが少なく、堆積シリコン酸化膜に対し十分なエッチレート比を保ちつつ、固体シリコンを酸化することによって生成したシリコン酸化膜をエッチングすることの可能な半導体装置の製造方法を提供することである。すなわち、堆積シリコン膜よりも固体シリコンを酸化して生成したシリコン酸化膜の方が単位時間当たりのエッチング量が多くなるようにする。

【0010】本発明の他の目的は、良好な形状のコンタクトホールを有する半導体装置の製造方法を提供することである。

【0011】

【課題を解決するための手段】本発明の一観点によれば、冷却手段を備えたステージ上にマウントされ、表面に薄い酸化膜を有する半導体ウエハを所定温度に冷却する工程と、水素と水蒸気を含むガスにエネルギーを与え、プラズマ化する工程と、前記プラズマの下流でかつ、プラズマ中で発生した電子や水素イオンがほとんど消滅した領域で弗化窒素含有ガスを添加する工程と、前記弗化窒素含有ガスを添加したガスの流れを前記半導体ウエハ表面に導き、前記半導体ウエハを前記所定温度に冷却しつつ、前記薄い酸化膜をエッチする工程とを含む半導体装置の製造方法が提供される。

【0012】水素と水蒸気を含むガスのプラズマの下流でかつプラズマ中で発生した電子や水素イオンがほとんど消滅した領域で $\text{NF}_3$ を添加し、そのダウンフローにおいて半導体ウエハ表面上の薄い酸化膜を処理する場合、半導体ウエハの温度に依存してエッチングレートが変化することがわかった。

【0013】たとえば、温度が $40^\circ\text{C}$ 以上であると、固体シリコンを酸化することによって生成したシリコン酸化膜のエッチレートはほとんど0となる。したがって、自然酸化膜を十分除去しようとする、周辺の堆積シリコン酸化膜は過度にエッチングされてしまう可能性が高い。

【0014】ところで、ウエハの平均温度を約 $25^\circ\text{C}$ 以下とすれば、固体シリコンを酸化することによって生成したシリコン酸化膜のエッチレートが上がり、堆積シリコン酸化膜のエッチレートとほぼ同等以上となる。

【0015】さらに、ウエハ温度を約 $22^\circ\text{C}$ 以下とすれば、固体シリコンを酸化することによって生成したシリコン酸化膜のエッチレートは、堆積シリコン酸化膜のエッチレートよりも高くなる。

【0016】このような温度に半導体ウエハを冷却しつつ、上述のダウンフロー処理を行なえば、堆積シリコン酸化膜を過度にエッチングすることなく、コンタクトホール底面等の薄い酸化膜を有効に除去することができる。

【0017】本発明の他の観点によれば、水素含有ガスを導入して該水素含有ガスを活性化するプラズマ発生部と、該プラズマ発生部よりも下流に設けられてフッ化窒素ガスまたはフッ化窒素含有ガスを導入するガス導入部とを有する半導体製造装置の該ガス導入部の下流において、接続孔を形成したBPSG膜をエッチングする工程を含む半導体装置の製造方法が提供される。

【0018】

【発明の実施の形態】以下、図面を参照して本発明の実施例を説明する。なお、特定の構成を例にとりて説明するが、制限的な意味は有さない。

【0019】図1は、自然酸化膜等の薄い酸化膜を除去するためのライトエッチ装置の構成を示す断面図である。導波管11を通過して周波数2.45GHzのマイクロ波が石英窓を備えた発光室12に導入される。発光室12には、ガス導入口13から $\text{H}_2 + \text{H}_2\text{O}$ が導入される。なお、2つのガス導入口を設け、一方から $\text{H}_2$ 、他方から $\text{H}_2\text{O}$ を導入してもよい。

【0020】発光室下部には、石英管14がOリング18を介して結合されている。石英管14の下端では、他の石英管16が結合され、結合部においてガス導入口15から導入された $\text{NF}_3$ が添加される。なお、 $\text{NF}_3$ が導入される位置は、イオンと電子が殆ど消滅している位置である。たとえば、肉眼ではプラズマによる発光が認められない領域である。このようなプラズマダウンプロ

一の位置でRF<sub>1</sub>を導入することにより、水素ラジカルの量が増大することが判明している。

【0021】石英管16は、カプラ17、Oリング18を介し、処理チャンバ19に結合されている。処理チャンバ19内には、水等の冷媒22によって冷却することのできるステージ21が配置され、その上に半導体ウエハ10を載置することができる。この半導体ウエハ10の表面上にプラズマダウンフローの流れをあてるように、石英管16、処理チャンバ19は構成されている。

【0022】なお、半導体ウエハ10を取り囲むように、石英製の覆い23が配置されている。処理チャンバ19内は、真空ポンプ20によって排気することができる。さらに、処理チャンバ19の上方からレーザ温度計24の石英製導光部がウエハ10上方に挿入されている。

【0023】レーザ温度計は、パルス状のレーザ光を導入し、半導体ウエハ10からの反射光を収集する。たとえば、発振波長1.3μmのInGaPレーザからの発振光を石英製導光部から導入し、シリコンで形成された半導体ウエハ10表面上に照射する。入射光は、一部上面で反射し、他の部分は半導体ウエハ10内に進入する。

【0024】半導体ウエハ10内に進入した光の一部は、半導体ウエハ10裏面で反射し、表面から出射する。半導体ウエハ表面で反射したレーザ光と、半導体ウエハ裏面で反射したレーザ光とは、半導体ウエハ10上方で干渉し、合成光を形成する。半導体ウエハ中の光路長は、半導体ウエハの誘電率（屈折率）と厚さに依存する。半導体ウエハの温度が変化すると、誘電率が変化し、熱膨張によって厚さも変化する。したがって、表面の反射光と裏面の反射光の干渉が変化する。干渉の変化をモニタすることによって温度変化を測定することができる。

【0025】レーザ光をパルス発振させると、パルスの立ち上がり部において波長が変化する。この波長変化を含めて干渉をモニタすると、温度が上昇しているか低下しているかの判定も行なえる。一定の条件で作成した半導体ウエハの温度を変化させ、レーザ温度計の干渉の較正曲線を作成しておけば、干渉光をモニタすることにより、測定対象である半導体ウエハの平均温度を測定することができる。

【0026】たとえば、発振波長1.3μmのInGaP半導体レーザを50Hzでパルス発振させ、干渉光をモニタすると、シリコンウエハに対して干渉の一山が6℃程度に相当する分解能が得られる。したがって、1℃以下の分解能で半導体ウエハの温度を非接触で測定することが容易である。なお、レーザ温度計のより詳細に関しては、特開平8-145811号の段落〔0063〕～〔0095〕を参照されたい。

【0027】ステージ21を特に冷却することなく、シ

リコンウエハを水素と水蒸気を含むガスのプラズマダウンフローによって処理した。25枚のウエハの連続処理において、ウエハの表面温度は40℃程度まで上昇することがわかった。プラズマ発光室12において石英が加熱し、その温度がガス等により運ばれ、半導体ウエハ10を加熱するためと考えられる。

【0028】処理ガスに使用しているガスは、熱伝導の良い水素を含むため、熱がウエハに運ばれ易い。半導体ウエハが40℃程度まで加熱されると、このダウンフロー処理によって半導体ウエハ表面上の自然酸化膜をライトエッチすることが困難になることがわかった。

【0029】上述の結果に注目し、図1に示すようなライトエッチ装置を準備し、ステージ21の温度を変化させることにより、半導体ウエハ10上のシリコン酸化膜のエッチレートがどのように変化するかを調べた。

【0030】図2は、半導体ウエハの温度によって種々のシリコン酸化膜のエッチレートがどのように変化するかを調べた結果を示すグラフである。横軸はウエハ温度を℃で示し、縦軸は5分間のエッチング量をÅで示す。ステージの温度を制御することにより、ウエハ温度9℃、15℃、22℃、30℃、40℃で測定を行なった。

【0031】用いたサンプルの酸化膜は、A：熱酸化膜（SiO<sub>2</sub>で示す）、B：BPSG（ボロホスホシリケートガラス）膜、C：CVD酸化膜（HTOで示す）の3種類である。

【0032】熱酸化膜は、流量12s1mのドライO<sub>2</sub>雰囲気中にシリコンウエハを搬入し、800℃で20分間保持した後、10℃/分で1000℃まで昇温し、膜厚約1000Åの熱酸化膜を形成した後、4℃/分の速度で降温し、800℃に達した時に半導体ウエハを外部的に取り出した。

【0033】BPSG膜は、ソースガスとしてTEOS〔Si(OC<sub>2</sub>H<sub>5</sub>)<sub>4</sub>〕、TMOP〔PO(OC<sub>2</sub>H<sub>5</sub>)<sub>3</sub>〕、TEB〔B(OC<sub>2</sub>H<sub>5</sub>)<sub>3</sub>〕を用い、N<sub>2</sub>をキャリアガスとし、ソースガス混合後O<sub>2</sub>/O<sub>2</sub>を混合し、ディスパージョンヘッドから400℃に加熱した半導体ウエハ上に流して形成した。なお、各ガスの流量は、TEB：0.8s1m、TMOP：0.8s1m、TEOS：1.5s1m、N<sub>2</sub>：25s1m、O<sub>2</sub>：115mg/分、O<sub>2</sub>：7.5s1mであった。

【0034】N<sub>2</sub>雰囲気中で850℃、20分間のアニールを行い、膜厚1000ÅのBPSG膜を得た。

【0035】なお、形成されたBPSG膜中のB成分は3.1wt%であり、P成分は6.5wt%であった。なお、ソースガスとしてTMS〔HSi(OC<sub>2</sub>H<sub>5</sub>)<sub>3</sub>〕、TRIES〔HSi(OC<sub>2</sub>H<sub>5</sub>)<sub>3</sub>〕、TMB〔B(OCH<sub>3</sub>)<sub>3</sub>〕、TEFS〔FSi(OC<sub>2</sub>H<sub>5</sub>)<sub>3</sub>〕、TMP〔P(OCH<sub>3</sub>)<sub>3</sub>〕、TEOP〔PO(OC<sub>2</sub>H<sub>5</sub>)<sub>3</sub>〕等を用いることもできる。

【0036】HTO膜は、 $\text{SiH}_4$  (40 sccm) +  $\text{N}_2\text{O}$  (500 sccm) をソースガスとし、圧力1 Torr、基板温度800℃の条件で堆積させた。

【0037】なお、一旦作成した厚さ約1000Åの酸化膜をエッチバックにより約500Åの厚さとし、これを図1に示すプラズマダウンフロー型ライトエッチ装置で処理して測定した。

【0038】なお、自然酸化膜は厚さが20Å程度であり、ライトエッチにより除去できたかできないかの判定は可能であるが、エッチレートを測定することはできない。自然酸化膜として、大気に接触することにより作成されるものの他、化学薬品と接触することにより作成される酸化膜が知られている。これらの自然酸化膜は、FTIRによる赤外線分光によれば、熱酸化膜とその性質が比較的近いことがわかる。したがって、熱酸化膜の実験結果を自然酸化膜に当てはめることが可能である。

【0039】図2のグラフを観察すると、40℃においては、 $\text{SiO}_2$  膜のエッチング量はほとんど0であり、これに対してBPSG膜のエッチング量は15Å以上もある。HTO膜のエッチング量もBPSG膜のエッチング量よりはかなり少ないが、それでも3Å程度ある。 $\text{SiO}_2$  膜をエッチしようとして長時間のエッチングを行なうと、 $\text{SiO}_2$  膜の所望厚さをエッチングできた時には、BPSG膜やHTO膜は $\text{SiO}_2$  膜と較べ、著しく多量にエッチングされてしまう。

【0040】温度が30℃になると、 $\text{SiO}_2$  膜のエッチング量が増大し、BPSG膜やHTO膜のエッチング量に近づく。なお、温度を降下させると、エッチング量は共に増大する傾向を示しているが、変化量が膜の種類によって異なっている。30℃以下の温度においては、BPSG膜とHTO膜のエッチング量はほぼ同等である。

【0041】22℃においては、BPSG膜とHTO膜のエッチング量よりも、 $\text{SiO}_2$  膜のエッチング量が大きくなっている。30℃の結果と合わせて考察すると、約25℃付近で $\text{SiO}_2$  膜のエッチング量とBPSG膜とHTO膜のエッチング量とが交差することがわかる。

【0042】15℃、9℃とさらにウエハ温度を下げると、 $\text{SiO}_2$  膜のエッチング量の増加は、BPSG膜およびHTO膜のエッチング量の増加よりも大きく、その差が開いていく。なお、これらの実験結果は、平坦な表面上に作成したシリコン酸化膜をエッチングすることによって得た。コンタクトホールに形成された自然酸化膜を除去する場合には、平坦な面におけるエッチレートよりもエッチレートが低下することが推定される。

【0043】コンタクトホール底面上の自然酸化膜を効果的にかつ短時間に除去するためには、ウエハ温度を低下させることが好ましいとわかる。ウエハ温度は、約25℃以下が好ましく、さらに好ましくは22℃以下である。さらにウエハ温度を低下させれば、エッチングに要

する時間を短縮し、堆積したシリコン酸化膜とのエッチレート比を高めることもできる。

【0044】なお、コンタクトホールの底面上の自然酸化膜を除去した後、加熱チャンバにおいてウエハ上に堆積した膜を加熱処理により除去する。この堆積膜は $\text{N}_2$  ガス：1 slm、圧力：1 Torr、ウエハ温度：100℃の条件で1分以内で除去できる。その後、大気に露出することなく、電極等の堆積を行なうことが好ましい。

【0045】図3は、コンタクトホールを埋め込んで導電層を形成するための装置の例を示す。ロードロックチャンバ120にダウンフロー処理チャンバ130、加熱チャンバ140、および成膜チャンバ150がゲートバルブGV (GV2, GV3, GV1) を介して結合されている。

【0046】ウエハ110をロードロックチャンバ120に導入し、ダウンフロー処理チャンバ130で自然酸化膜を除去した後、加熱チャンバ140で堆積膜を除去し、成膜チャンバ150で配線層の形成等を行なえばよい。ダウンフロー処理チャンバ130には、図1に示すようなダウンフローによりライトエッチを行なう構成が設けられている。

【0047】なお、図3に示す処理装置において、処理チャンバの数は任意に増加させることができる。たとえば、形成する配線層の構成に応じ、成膜チャンバの数を増大させてもよい。

【0048】図4、図5は、本発明の実施例による半導体装置の製造方法を説明するための半導体装置の概略断面図である。

【0049】図4(A)に示すように、シリコンウエハ31の表面上にフィールド酸化膜33を形成した後、ゲート酸化膜34、多結晶シリコンゲート電極35、タングステンシリサイド等のシリサイドゲート電極36、高温CVD酸化膜 (HTO) 等の絶縁層37の積層構造を形成し、ゲート電極の形状にパターニングする。各ゲート電極構造の側壁上に、酸化膜等のサイドウォールスペーサ40を形成する。

【0050】なお、ゲート電極形成後、または/およびサイドウォールスペーサ形成後にイオン注入を行い、n型ソース/ドレイン領域38、39を形成する。なお、シリコンウエハ31は、p型シリコンウエハでもよく、p型ウェルを有するシリコンウエハでもよい。また、ゲート電極上の絶縁層37は、この上に配線層を交差させる場合に必要のものであり、回路の構成に応じて省略してもよい。

【0051】図4(B)に示すように、半導体ウエハ31上にゲート電極を覆ってBPSG膜42を形成する。BPSG膜42は、リフロー等により平坦化されている。なお、CMP (化学機械研磨) 等、他の平坦化法を用いてもよい。BPSG膜42表面上に、レジストパタ

ーン44を形成する。レジストハターンは、ソースドレイン領域38、39に達するコンタクトホールを形成するための開口部を有する。

【0052】なお、中央のn型領域38にビット線を接続し、両側のn型領域39に蓄積キャパシタを接続してDRAMを作成する場合を想定している。このような場合、中央の開口はたとえば径0.3 $\mu$ mの円形であり、両側の開口は短径0.4 $\mu$ m長径0.6 $\mu$ mの楕円形である。またBPSG膜42はたとえば厚さ1.8~2.0 $\mu$ mである。

【0053】レジストマスク44をエッチングマスクとし、異方性エッチングによりBPSG膜42をエッチし、n型領域38、39に達するコンタクトホールを作成する。その後、レジストマスク44は除去する。

【0054】図4(C)に示すように、BPSG膜42を貫通するコンタクト孔を形成した後、水素と水蒸気を含むガスのプラズマのダウンフローにおいてNF<sub>3</sub>を添加したプラズマダウンフロー処理によりコンタクトホール底面に形成されている可能性のある自然酸化膜45を除去する。

【0055】この際、図3に示すダウンフロー処理チャンバ130内で、冷却したステージ上にシリコンウエハ31を載置し、レーザ温度計でウエハの平均温度をモニタしつつ、ダウンフローによるライトエッチを行なう。ウエハの温度が設定範囲を外れた時はステージの冷却量を制御して自動的にウエハの平均温度を調節する。ウエハ31の温度を低く設定するとにより、BPSG膜42のエッチング量を抑え、かつコンタクトホール底面上の自然酸化膜45を効率的に除去することができる。

【0056】コンタクトホール底面上の自然酸化膜を除去した後、加熱チャンバにてウエハ上の堆積膜を除去し、さらにシリコンウエハ31を大気にさらすことなく、真空中または非酸化性雰囲気中で搬送し、図3に示す成膜チャンバ150に移送する。

【0057】図5(D)に示すように、シリコンウエハ31表面上にアモルファスシリコン層46を堆積する。アモルファスシリコン層46は、自然酸化膜を除去したn型領域38、39の表面上に堆積され、良好なコンタクトを形成する。アモルファスシリコン膜46を堆積した後、BPSG膜42上面上のアモルファスシリコン膜をCMP等により除去する。

【0058】なお、シリコン表面にTi/TiN/Al積層の配線層を形成する場合は、1つの処理チャンバ内でTi/TiNの積層をスパッタリングで形成し、他の処理チャンバに移送してAlをスパッタすればよい。

【0059】DRAMを作成する場合は、図5(E)に示すように、アモルファスシリコン層46の形成の後、シリコン酸化膜、タンタル酸化膜等のキャパシタの誘電体膜47を酸化、窒化、誘電体膜堆積等により形成し、対向電極48をたとえばアモルファスシリコン堆積等に

より形成する。n型領域38上方では少なくとも上面の誘電体膜47は除去し、対向電極48と同一材料のプラグ49でコンタクト孔内を埋め込む。

【0060】その後、他のBPSG膜50を堆積し、コンタクト孔を形成し、ビット線51を形成する。この時、ビット線51形成前に前述同様のダウンフロー処理を行い、アモルファスシリコン層46、49表面上の自然酸化膜を除去する。ビット線は、Ti層、TiN層を連続スパッタリングで堆積し、その上にW層を堆積し、パターニングして形成する。

【0061】図2に示す実験においては、厚さ約1000Åの酸化膜を形成した後、エッチバックして約500Åの厚さとし、この酸化膜に対してプラズマダウンフロー処理によるエッチングを行った。その後の研究により、さらに新たな事実が判明した。BPSG膜等の堆積膜は、通常高温でリフロー（メルト）処理およびその後のアニール処理を行って膜質を緻密化する。このような処理後のBPSG膜は、その表面と内部とでプラズマダウンフロー処理によるエッチング速度が異なることが判明した。

【0062】図6に実験結果を示す。サンプルとして、図2に示した実験におけるサンプルA同様の熱酸化膜A（ただしエッチバックは行わない）、図2のサンプルBと同様、BPSG膜を成膜し、メルト処理した後、表面部分をエッチング除去したサンプルB、およびBPSG膜を成膜し、メルト処理したままの酸化膜BOの3種類を用いた。サンプルBOのエッチングはBPSG膜上面および孔の上部のエッチングに相当し、サンプルBのエッチングは孔の内部のエッチングに相当すると考えられる。

【0063】エッチングは、図1に示すようなプラズマダウンフローエッチング装置を用いた。エッチング中、ウエハは全て9℃に保持した。図2に示す実験では、9℃における熱酸化膜Aのエッチング量は約90Å/5分、9℃におけるBPSG膜Bのエッチング量は約70Å/5分であった。

【0064】図6の横軸はエッチング時間を単位（秒）で示し、縦軸はエッチング深さを単位（Å）で示す。エッチング時間が1分、2分、3分、5分となる時点で、エッチング深さを測定した。

【0065】ウエハ温度が9℃であるため、熱酸化膜Aのエッチング量は約160Å/5分であり、BPSG膜Bのエッチング量約60Å/5分、BPSG膜BOのエッチング量約90Å/5分よりも多い。なお、図2のエッチングレートからの差は、エッチング条件の差によるものと考えられる。

【0066】注目すべきことは、成膜しメルトしたままのBPSG膜BOのエッチング量は、成膜し、メルトし、さらに表面層を除去したBPSG膜Bのエッチング量よりも大幅に多いことである。

【0067】エッチング時間が2分以下の領域では、サンプルBとBOのエッチング深さの差は明らかにエッチング時間と共に増加している。エッチング時間が、2分を越えた領域ではサンプルBとBOのエッチング深さの差はあまり変化していない。従って、エッチング速度の速い領域は、BPSG膜の表面の厚さ約60Åの領域であろう。成膜条件等を変化させた場合でも、エッチング速度の速い領域は厚さ100Å以下であろう。

【0068】以上の実験結果により、BPSG膜のプラズマダウンフロー処理によるエッチレートは、厚さ100Å以下であろう表面部分とそれより深い内部とで異なることが判った。表面部分におけるエッチレートは、内部におけるエッチレートよりも格段に大きい。別の言葉で表せば、メルトしたBPSG膜は、表面近傍がエッチングされやすく、内部はエッチングされ難い。

【0069】コンタクト孔形成後、コンタクト孔の底面上の自然酸化膜を除去するエッチングを考えるとコンタクトホール最上部（たとえば表面から約100Åの深さまで）のBPSG膜はエッチングされやすく、それより低い位置のコンタクト孔側壁はエッチングされ難いこととなる。

【0070】図7は、この現象を積極的に利用した実施例を示す。図7(A)は、図4(C)に相当する工程を示す図である。図4(A)、(B)に示すように、シリコンウエハ上にフィールド酸化膜、ゲート電極構造、ソース/ドレイン領域を作成した後、ゲート電極を覆ってBPSG膜42を形成し、メルト処理、アニール処理を施す。表面を平坦化したBPSG膜上に、図4(B)に示すようにレジストパターンを形成し、異方性エッチングによりコンタクト孔を作成する。

【0071】その後、レジストマスクをアッシング等により除去する。さらに、パーティクルや汚染物除去のため、ウェットクリーニングを施す。このウエハに水素ダウンフロー処理を施す。

【0072】図7(A)は、水素ダウンフロー処理によるライトエッチング工程を示す。図1に示すようなライトエッチ装置を用い、水素および水蒸気を含むガスのプラズマのダウンフローに $\text{NF}_3$ を追加し、さらにその下流でシリコンウエハのダウンフロー処理を行って自然酸化膜45を除去する。

【0073】このライトエッチングにおいて、BPSG膜42の表面に近い部分は比較的大きなエッチングレートを示し、コンタクト孔の角部が丸めこまれる。BPSG膜42の深い部分においては、エッチングレートが低いため、コンタクト孔の深い部分では寸法が変更される程度は少ない。従って、コンタクト孔の径をほぼ設計値に保ちつつ、コンタクト孔頂部の角部を丸めこむ事ができる。

【0074】このライトエッチング工程の後、ウエハを加熱チャンバに搬入し、加熱によりライトエッチング工

程により生じた堆積膜を除去する。その後、ウエハを電極成膜チャンバに搬入する。

【0075】図7(B)は、図5(D)同様の電極成膜工程を示す。ウエハ上に多結晶シリコン層を堆積し、凹部をレジスト等で充填した後、CMP等により表面を研磨することにより、BPSG膜42表面を露出させ、成膜した多結晶シリコン層46を各コンタクト孔毎に分離する。

【0076】この工程において、多結晶シリコン層の代わりに他の導電層、例えばアルミニウムやアルミニウム合金層、 $\text{Ti/TiN-Al}$ (Al合金)積層等を形成することもできる。コンタクト孔頂部の角部が丸めこまれてるため、電極層のカバレッジが良好となる。

【0077】シリコン表面の自然酸化膜除去とコンタクト孔頂上角部の丸めこみとを同時に行う場合を説明したが、コンタクトホール頂部の径を拡げるのみでもよい。たとえば多層配線の上部配線用コンタクト孔の頂部の径を拡げることもできる。

【0078】なお、コンタクト孔の断面形状を変化させたくない場合には、以下のような方法を用いることもできる。図4(A)、(B)に示すように、半導体ウエハ上に酸化膜、ゲート電極等を形成し、これらを覆ってBPSG膜を成膜する。BPSG膜をメルトし、アニールし、膜質を改善する。その後、BPSG膜の表面層をフッ酸系のウェットエッチングによって除去する。このウェットエッチング処理により、BPSG膜中エッチング速度の速い表面層が除去される。厚さ100Å以上の表面層を除去すればよい。残ったBPSG膜は、プラズマダウンフロー処理によるライトエッチングに対して深さによらず均一なエッチングレートを示すものとなる。

【0079】表面層を除去したBPSG膜の表面上に図4(B)に示すようにレジストパターンを形成し、コンタクト孔を作成し、自然酸化膜を除去し、電極層を形成する工程を前述の実施例同様に行う。

【0080】本実施例においては、メルトしたBPSG膜の表面層をあらかじめ除去しているため、BPSG膜のエッチング速度は深さによらず均一で、自然酸化膜に比較してエッチングされ難い。このため、コンタクト孔側壁の形状を変化させることなく自然酸化膜等をライトエッチングすることができる。

【0081】なお、BPSG膜表面層をエッチングした後、コンタクト孔を形成する場合を説明したが、コンタクト孔形成後残ったBPSG膜の表面層をフッ酸系ウェットエッチング等により除去してもよい。

【0082】なお、シリコン表面に形成される自然酸化膜を除去し、その上に導電層を形成する場合を説明したが、自然酸化膜が形成されるものであれば、シリコン以外の導電体表面で同様の処理を行なってもよい。半導体装置の構成は、上述のものに限らないことは当業者に自明であろう。

【0083】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

#### 【0084】

【発明の効果】以上説明したように、本発明によれば、水素プラズマダウンフロー処理において被処理物を冷却しながら処理することにより、堆積シリコン酸化膜に対し、高いエッチレート比を保ちつつ、固体シリコンを酸化することによって形成したシリコン酸化膜をライトエッチすることができる。特に自然酸化膜を効率的にエッチすることができる。

【0085】堆積シリコン酸化膜に形成した接続孔頂部を効率的に丸め込むことができる。その上に形成する電極層のステップカバレッジが向上する。

#### 【図面の簡単な説明】

【図1】本発明の実施例に用いるライトエッチ装置の構成を概略的に示す断面図である。

【図2】本発明者らの行なったダウンフロー処理によるライトエッチの実験結果を示すグラフである。

【図3】半導体装置の製造に用いることのできるマルチチャンバ処理装置の構成例を示す平面図である。

【図4】本発明の実施例による半導体装置の製造方法を説明するための半導体ウエハの断面図である。

【図5】本発明の実施例による半導体装置の製造方法を説明するための半導体ウエハの断面図である。

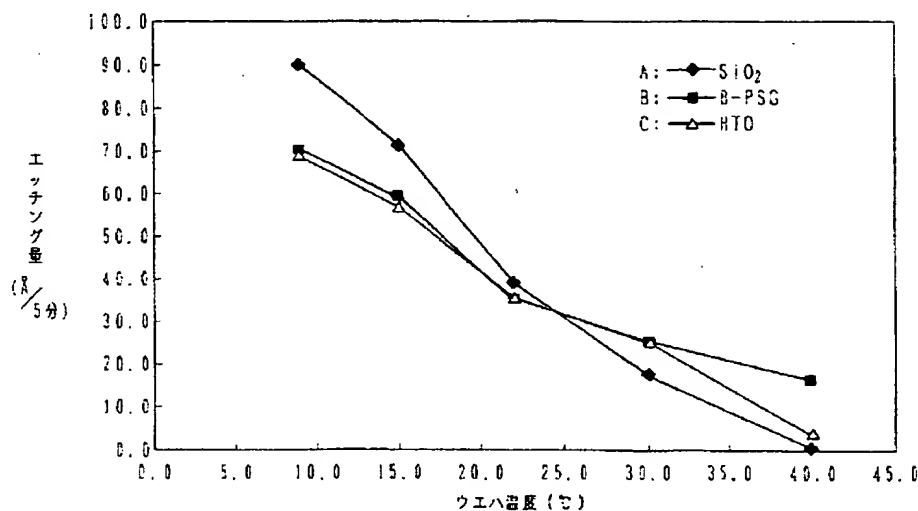
【図6】実験結果を示すグラフである。

【図7】本発明の他の実施例による半導体装置の製造方法を説明するための半導体ウエハの断面図である。

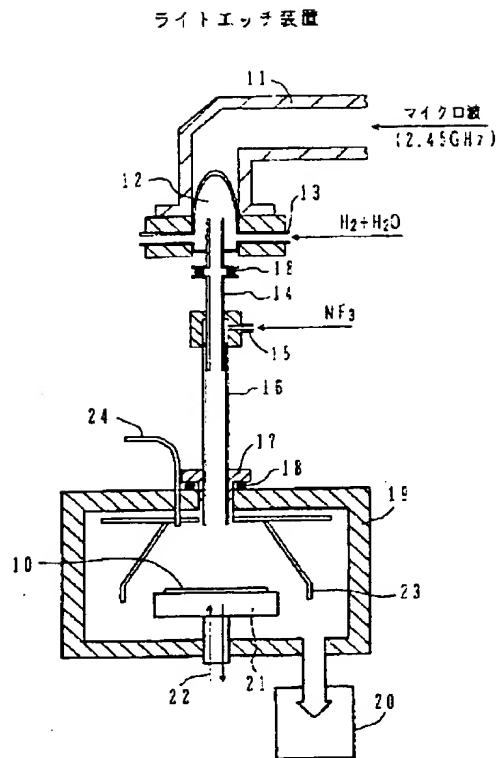
#### 【符号の説明】

- 10 半導体ウエハ
- 11 導波管
- 12 発光室
- 13、15 ガス導入口
- 14、16 石英管
- 17 カプラ
- 18 オリング
- 19 処理チャンバ
- 21 ステージ
- 22 冷媒
- 23 覆い
- 24 レーザ温度計
- 31 シリコンウエハ
- 33 フィールド酸化膜
- 34 ゲート酸化膜
- 35 多結晶シリコンゲート電極
- 36 シリサイドゲート電極
- 37 絶縁層
- 38、39 ソース/ドレイン領域
- 40 サイドウォールスペーサ
- 42 BPSG膜
- 44 レジストパターン
- 45 自然酸化膜
- 46 アモルファスシリコン層
- 110 ウエハ
- 120 ロードロックチャンバ
- 130 ダウンフロー処理チャンバ
- 140、150 成膜チャンバ

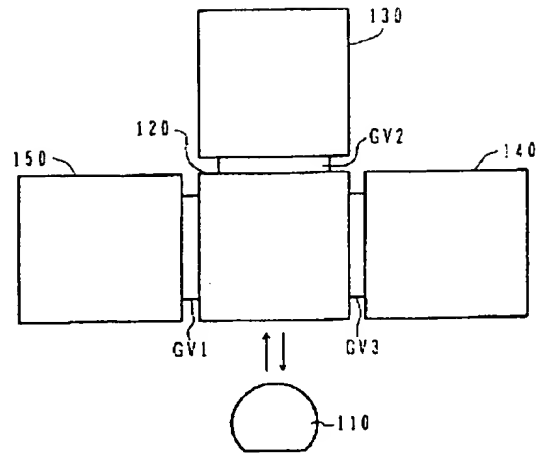
【図2】



【図1】



【図3】

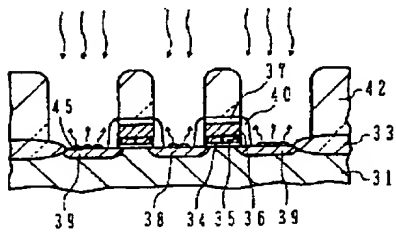


110:ウエハ  
120:ロードロックチャンバ  
130:ダウンフロー処理チャンバ  
140:加熱チャンバ  
150:成膜チャンバ

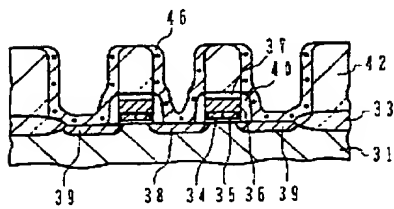
【図4】

【図7】

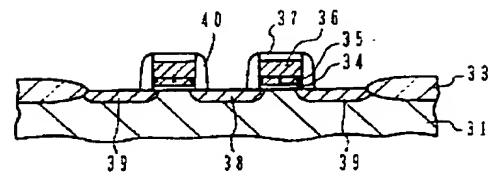
(A)



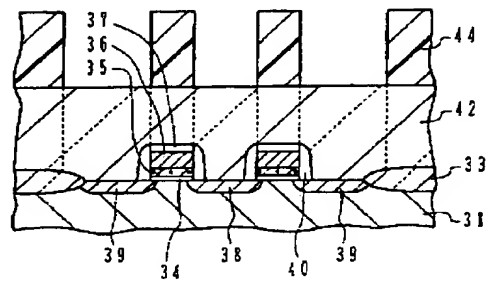
(B)



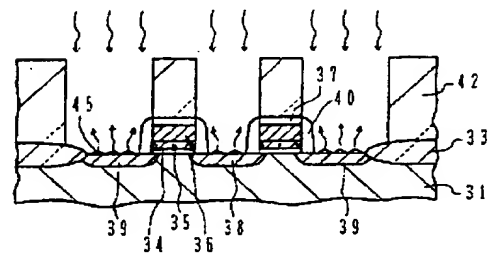
(A)



(B)

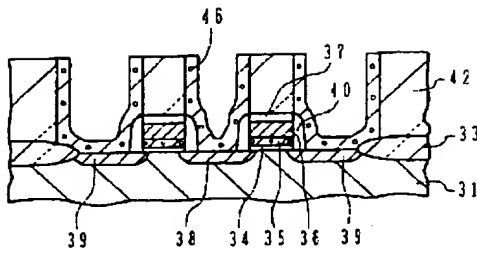


(C)

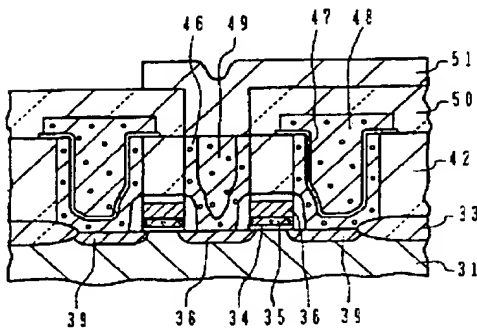


【図5】

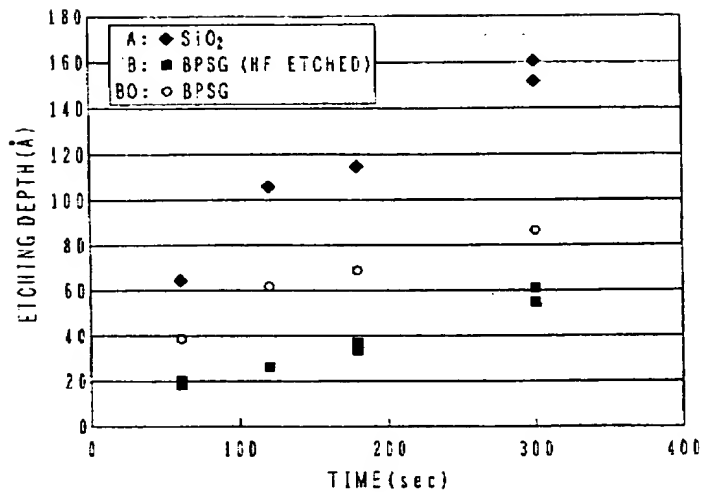
(D)



(E)



【図6】



フロントページの続き

(72)発明者 長坂 光明  
 神奈川県川崎市中原区上小田中4丁目1番  
 1号 富士通株式会社内

(72)発明者 藤村 修三  
 神奈川県川崎市中原区上小田中4丁目1番  
 1号 富士通株式会社内